

**Abstract:**

DE 19837016 A1

**NOVELTY** The device has a number of banks (A,B) in a rectangular region (3). Bank control circuits (7a,b) are provided between bank regions for controlling at least access to the banks. An internal access-data-transfer bus (5a,b) is coupled to each bank for reading and writing data. The circuit has no crossings between bank control circuits and the internal data busses.

**DETAILED DESCRIPTION** An INDEPENDENT CLAIM is included for an integrated semiconductor device.

**USE** For MPU, CPU or ASIC. Also for memory devices containing logic.

**ADVANTAGE** The device has a layout and DRAM suitable for a mixture including a logical processing circuit unit.

**DESCRIPTION OF DRAWING(S)** The drawing shows the complete configuration of the integrated semiconductor device

Memory banks (A,B)

Control circuits (7a,b)

Access data transfer bus (5a,b)

pp; 63 DwgNo 1/52





①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

①2 **Offenlegungsschrift**  
①0 **DE 198 37 016 A 1**

⑤1 Int. Cl.<sup>6</sup>:  
**G 11 C 7/00**  
G 11 C 11/407

②1 Aktenzeichen: 198 37 016.4  
②2 Anmeldetag: 14. 8. 98  
④3 Offenlegungstag: 6. 5. 99

DE 198 37 016 A 1

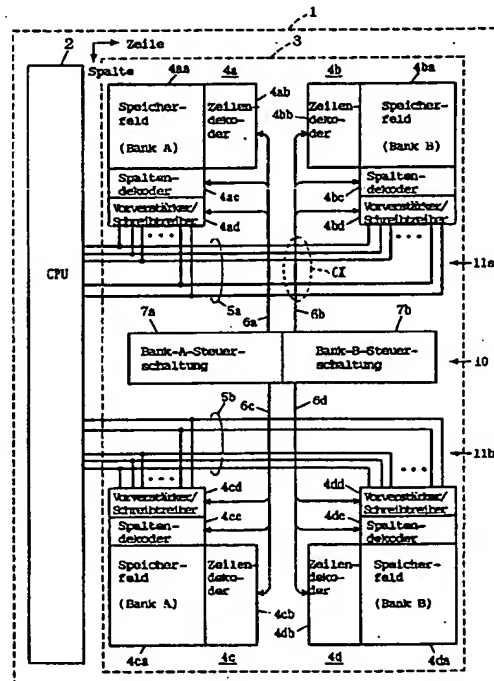
- ③0 Unionspriorität:  
9-300734 31. 10. 97 JP  
10-095778 08. 04. 98 JP
- ⑦1 Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP
- ⑦4 Vertreter:  
Prüfer und Kollegen, 81545 München

- ⑦2 Erfinder:  
Yamagata, Tadato, Tokio/Tokyo, JP; Yamazaki, Akira, Tokio/Tokyo, JP; Tomishima, Shigeki, Tokio/Tokyo, JP; Yukinari, Yoshio, Tokio/Tokyo, JP; Hatakenaka, Makoto, Tokio/Tokyo, JP; Miyanishi, Atsushi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤4 Integrierte Halbleiterschaltungsvorrichtung
- ⑤7 Unterbänke (4a-4d) sind in vier Bereichen eines DRAM-Makros (3), das eine rechteckige Gestalt aufweist, angeordnet, Banksteuerschaltungen (7a, 7b) sind in einem vorgeschriebenen Bereich (10) zwischen diesen Unterbänken angeordnet, und interne Lese/Schreib-Datenbusse (5a, 5b) sind in einem Bereich angeordnet, der unterschiedlich von dem Bereich ist, in dem die Banksteuerschaltungen angeordnet sind. Da es keine Kreuzung der Banksteuerschaltungen und der internen Lese/Schreib-Datenbusse gibt, können die Banksteuerschaltungen effizient derart angeordnet werden, daß die Layoutfläche reduziert wird. Dementsprechend kann eine integrierte Halbleiterschaltungsvorrichtung, die Mehrfachbank-Speicher enthält, die stabil bei hoher Geschwindigkeit arbeitet, ohne Erhöhung der durch einen Chip eingenommenen Fläche, bereitgestellt werden.



DE 198 37 016 A 1

tung nach der sechsten Ausführungsform;

Fig. 16 eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach einer siebten Ausführungsform der Erfindung;

Fig. 17 schematisch eine Konfiguration eines Vorverstärker/Schreibtreiber-Blocks, der in Fig. 16 gezeigt ist;

Fig. 18 schematisch eine Konfiguration einer ersten Modifikation des Vorverstärker/Schreibtreiber-Blocks, der in Fig. 16 gezeigt ist;

Fig. 19 schematisch eine Konfiguration einer zweiten Modifikation des Vorverstärker/Schreibtreiber-Blocks, der in Fig. 16 gezeigt ist;

Fig. 20 schematisch eine Konfiguration einer dritten Modifikation des Vorverstärker/Schreibtreiber-Blocks, der in Fig. 16 gezeigt ist;

Fig. 21 schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach einer achten Ausführungsform der Erfindung;

Fig. 22 insbesondere eine Konfiguration einer Unterbank der integrierten Halbleiterschaltungsvorrichtung, die in Fig. 21 gezeigt ist;

Fig. 23 eine Fortpflanzungsverzögerungszeit eines Lesespeicherzellendatensignals in der Unterbankstruktur, die in Fig. 22 gezeigt ist;

Fig. 24 ein Zeitablaufdiagramm, das einen Datenlesebetrieb in der Unterbankstruktur repräsentiert, die in Fig. 22 gezeigt ist;

Fig. 25A schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach einer neunten Ausführungsform;

Fig. 25B schematisch eine Konfiguration eines Abschnittes, der sich auf eine Unterbank aus Fig. 25A bezieht;

Fig. 26 schematisch eine Konfiguration der Stromversorgung der integrierten Halbleiterschaltungsvorrichtung aus Fig. 25A;

Fig. 27 schematisch eine Anordnung der Verbindungsleitungen eines Speicherfeldabschnitts in der Unterbank aus Fig. 25A;

Fig. 28 schematisch eine Anordnung von Stromversorgungsleitungen bei der neunten Ausführungsform;

Fig. 29 schematisch eine Anordnung von Verbindungsleitungen bei der integrierten Halbleiterschaltungsvorrichtung nach der neunten Ausführungsform;

Fig. 30 schematisch eine Modifikation der integrierten Halbleiterschaltungsvorrichtung der neunten Ausführungsform;

Fig. 31 schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach einer zehnten Ausführungsform der Erfindung;

Fig. 32 schematisch eine Anordnung von Verbindungsleitungen einer Speicherfeldeinheit der integrierten Halbleiterschaltungsvorrichtung, die in Fig. 31 gezeigt ist;

Fig. 33 schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach einer elften Ausführungsform der Erfindung;

Fig. 34 schematisch eine Anordnung von Bänken der integrierten Halbleiterschaltungsvorrichtung, die in Fig. 33 gezeigt ist;

Fig. 35 schematisch eine Konfiguration des Testschaltungsabschnittes der elften Ausführungsform;

Fig. 36 schematisch eine erste Konfiguration zum Umschalten einer Ausgabe aus der Testschaltung und einer Ausgabe aus dem Prozessor;

Fig. 37 schematisch eine Konfiguration eines Umschaltungsabschnittes von Ausgaben aus der Testschaltung und aus dem Prozessor der integrierten Halbleiterschaltungsvorrichtung entsprechend der elften Ausführungsform;

Fig. 38 schematisch eine Gesamtkonfiguration einer Mo-

difikation der integrierten Halbleiterschaltungsvorrichtung entsprechend der elften Ausführungsform;

Fig. 39 schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung entsprechend einer zwölften Ausführungsform der Erfindung;

Fig. 40 schematische Konfigurationen eines Speicherfeldes und einer zeilenbezogenen Feldschaltung, die in Fig. 39 illustriert sind;

Fig. 41 ein Beispiel einer Konfiguration eines Zeilendekoder/Treibers, der in Fig. 40 gezeigt ist;

Fig. 42 ein Beispiel einer Konfiguration einer Lesesteuerschaltung, die in Fig. 40 illustriert ist;

Fig. 43 schematische Komponenten, die in einem zur Verbindung bestimmten Bereich angeordnet sind, der in Fig. 39 illustriert ist;

Fig. 44A schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach der zwölften Ausführungsform;

Fig. 44B schematisch eine Konfiguration der integrierten Halbleiterschaltungsvorrichtung, die in

Fig. 44A illustriert ist, bei der die Speicherkapazität derselben vermindert ist;

Fig. 45 eine Anwendung der zwölften Ausführungsform;

Fig. 46 eine andere Anwendung der zwölften Ausführungsform;

Fig. 47 schematisch eine Konfiguration einer Modifikation der zwölften Ausführungsform;

Fig. 48 schematische Konfigurationen eines Speicherfeldes und einer zeilenbezogenen Feldschaltung, die in Fig. 47 illustriert sind;

Fig. 49 schematische Konfigurationen entsprechender Blöcke eines Spaltendekoders, eines Vorverstärkers und eines Schreibtreibers entsprechend eines Spaltenblockes, der in Fig. 48 gezeigt ist;

Fig. 50A u. 50B eine Art und Weise, in der eine Feldgröße entsprechend der Modifikation der zwölften Ausführungsform geändert wird;

Fig. 51 eine Anwendung der Modifikation der zwölften Ausführungsform; und

Fig. 52 eine Gesamtkonfiguration einer herkömmlichen integrierten Halbleiterschaltungsvorrichtung.

#### [Erste Ausführungsform]

Fig. 1 zeigt schematisch eine Gesamtkonfiguration einer integrierten Halbleiterschaltungsvorrichtung nach der ersten Ausführungsform der Erfindung. In Fig. 1, eine integrierte Halbleiterschaltungsvorrichtung 1 enthält einen Prozessor (CPU) 2 und ein DRAM-Makro (funktionaler Block) 3, der als ein Hauptspeicher für den Prozessor 2 fungiert, die integriert auf einem Halbleiterchip ausgebildet sind. Obwohl die integrierte Halbleiterschaltungsvorrichtung 1 so gezeigt ist, daß sie einen Prozessor 2 enthält, kann der Prozessor eine logische Schaltung wie ein DSP (digitaler Signalprozessor), der eine vorbestimmte Bearbeitung ausführt, sein. Um die charakteristischen Merkmale der vorliegenden Erfindung klar zu repräsentieren, ist die integrierte Halbleiterschaltungsvorrichtung 1 so gezeigt, daß sie nur den Prozessor 2 und das DRAM-Makro 3 aufweist, wobei die integrierte Halbleiterschaltungsvorrichtung andere Makros oder Zellen enthalten kann. Jedoch wird die integrierte Halbleiterschaltungsvorrichtung im folgenden als ein einen Prozessor (oder eine Logik) enthaltender DRAM oder als ein einen DRAM enthaltender Prozessor beschrieben.

Der DRAM-Makro bzw. funktionale DRAM-Block 3 weist eine rechteckige Form auf und enthält vier Unterbänke 4a, 4b, 4c und 4d, die entsprechend in vier Bereichen angeordnet sind. Die Unterbänke 4a und 4c bilden eine Bank A

und die Unterbänke 4b und 4d bilden eine Bank B. Diese Unterbänke 4a bis 4d weisen dieselbe Konfiguration auf. Genauer gesagt, die Unterbank 4a enthält ein Speicherfeld 4aa, das eine Mehrzahl von dynamischen Speicherzellen, die in Zeilen und Spalten angeordnet sind, aufweist, einen Zeilendekoder 4ab zum Treiben einer Zeile in dem Speicherfeld 4aa in einen ausgewählten Zustand, einen Spaltendekoder 4ac zum Auswählen einer Spalte in dem Speicherfeld 4aa und einen Vorverstärker/Schreibtreiber-Block 4ad, der Daten aus einer Speicherzelle, die durch den Zeilendekoder 4ab und den Spaltendekoder 4ac ausgewählt ist, liest bzw. Daten in eine solche Speicherzelle schreibt.

In ähnlicher Weise enthält die Unterbank 4b ein Speicherfeld 4ba, einen Zeilendekoder 4bb, einen Spaltendekoder 4bc und einen Vorverstärker/Schreibtreiber-Block 4bd. Die Unterbank 4c enthält ein Speicherfeld 4ca, einen Zeilendekoder 4cb, einen Spaltendekoder 4cc und einen Vorverstärker/Schreibtreiber-Block 4cd. Die Unterbank 4d enthält ein Speicherfeld 4da, einen Zeilendekoder 4db, einen Spaltendekoder 4dc und einen Vorverstärker/Schreibtreiber-Block 4dd.

Die Konfiguration von jeder der Unterbänke 4a bis 4d ist identisch zu derjenigen eines normalen DRAM. Die Vorverstärker/Schreibtreiber-Blöcke 4ad und 4bd der Unterbänke 4a und 4b sind bezüglich eines zentralen Bereichs einander in der Spaltenrichtung des DRAM-Makros 3 zugewandt angeordnet. In ähnlicher Weise sind die Vorverstärker/Schreibtreiber-Blöcke 4cd und 4dd der Unterbänke 4c und 4d bezüglich des zentralen Bereichs einander in der Spaltenrichtung des DRAM-Makros 3 zugewandt angeordnet. Die Unterbänke 4a und 4c weisen Layouts auf, die relativ zu dem Zentralbereich in der Spaltenrichtung des DRAM-Makros 3 spiegelsymmetrisch sind, und die Unterbänke 4b und 4d weisen Layouts auf, die relativ zu dem zentralen Bereich in der Spaltenrichtung des DRAM-Makros 3 spiegelsymmetrisch sind. Desweiteren weisen die Unterbänke 4a und 4b Layouts auf, die relativ zu dem Zentralbereich in der Zeilenrichtung des DRAM-Makros 3 spiegelsymmetrisch sind, und die Unterbänke 4c und 4d weisen Layouts auf, die relativ zu dem Zentralbereich in der Zeilenrichtung des DRAM-Makros 3 spiegelsymmetrisch sind. Nach der Vervollständigung des Layouts einer Unterbank wird die Unterbank mit dem vollständigen Layout zurückgefaltet, und die Layouts der verbleibenden Unterbänke werden verwirklicht, was in einem leichteren Layout resultiert.

Der Zentralbereich in der Spaltenrichtung des DRAM-Makros 3 ist in drei Bereiche 10, 11a und 11b unterteilt. In dem Bereich 10 sind eine Bank-A-Steuerschaltung 7a, die die Auswahl/Nicht-Auswahl (inklusive des Datenzugriffs) der Unterbank 4a über einen internen Bus 6a und die Auswahl/Nicht-Auswahl der Unterbank 4c über einen internen Bus 6c steuert, ebenso wie eine Bank-B-Steuerschaltung 7b, die die Auswahl/Nicht-Auswahl der Unterbank 4b über einen internen Bus 6b und die Auswahl/Nicht-Auswahl der Unterbank 4d über einen internen Bus 6d steuert, angeordnet. Die Bank-A-Steuerschaltung 7a ist in einem Bereich, der sich im wesentlichen zwischen den Unterbänken 4a und 4c befindet, angeordnet, und die internen Busse 6a und 6c weisen eine im wesentlichen identische Länge auf. In ähnlicher Weise ist die Bank-B-Steuerschaltung 7b im wesentlichen zwischen den Unterbänken 4b und 4d angeordnet, und die internen Busse 6b und 6d weisen dieselbe Länge auf. Die Bank-A-Steuerschaltung 7a und die Bank-B-Steuerschaltung 7b sind miteinander bezüglich der Zeilenrichtung in dem Bereich 10 ausgerichtet. Die Unterbänke 4a und 4b sind miteinander entlang der Zeilenrichtung ausgerichtet, und die Unterbänke 4c und 4d sind miteinander entlang der Zeilenrichtung ausgerichtet. Dementsprechend ist die Länge

der internen Busse 6a bis 6d im wesentlichen gleich zueinander, so daß der Zeitablauf der Auswahl/Nicht-Auswahl der Unterbänke 4a bis 4d bei Auswahl der Bank A derselbe wie derjenige bei Auswahl der Bank B gemacht werden kann. Es ist nicht notwendig, einen Spielraum für den Unterschied des Zeitablaufs zu berücksichtigen, und ein Hochgeschwindigkeitszugriff ist bzw. wird möglich.

In dem Bereich 11a ist ein interner Lese/Schreib-Datenbus (interner Zugriffsdatentransferbus) 5a derart angeordnet, daß er sich in der Zeilenrichtung erstreckt, und er ist gemeinsam mit den Vorverstärker/Schreibtreiber-Blöcken 4ad und 4bd der Unterbänke 4a und 4b gekoppelt. In dem Bereich 11b ist ein interner Lese/Schreib-Datenbus (interner Zugriffsdatentransferbus) 5b vorgesehen, der sich in der Zeilenrichtung erstreckt und mit den Vorverstärker/Schreibtreiber-Blöcken 4cd und 4dd der Unterbänke 4c und 4d gekoppelt ist.

Die internen Lese/Schreib-Datenbusse 5a und 5b sind parallel zu der Bank-A-Steuerschaltung 7a und der Bank-B-Steuerschaltung 7b plaziert bzw. angeordnet. Darum gibt es keinen Bereich, in dem die Bank-A-Steuerschaltung 7a und die Bank-B-Steuerschaltung 7b die internen Lese/Schreib-Datenbusse 5a und 5b kreuzen, und die Bank-A-Steuerschaltung 7a und die Bank-B-Steuerschaltung 7b müssen keinen leeren Bereich zum Anordnen der internen Lese/Schreib-Datenbusse 5a und 5b enthalten. Eine Anordnung hoher Dichte wird derart erreicht und ein Anstieg der Fläche des DRAM-Makros 3 oder ein Anstieg der Chipfläche können vermieden werden.

Die internen Lese/Schreib-Datenbusse 5a und 5b übertragen Daten von sowohl der Bank A als auch der Bank B. Um eine Bandbreite zu verwirklichen, die ähnlich bzw. identisch zu derjenigen der Einzelbankkonfiguration ist, ist die Bitbreite von jedem der internen Lese/Schreib-Datenbusse 5a und 5b so bestimmt, daß sie z. B. 64 Bit bis 512 Bit ist, was das Doppelte der Bitbreite bei der Einzelbankkonfiguration ist. Obwohl die Anzahl der Busleitungen der internen Lese/Schreib-Datenbusse 5a und 5b erhöht ist, gibt es keine Begrenzungen des Layouts verglichen mit der Begrenzung des Layouts, die erzeugt wird, wenn das Kreuzen der Bank-A-Steuerschaltung 7a und der Bank-B-Steuerschaltung 7b mit den internen Lese/Schreib-Datenbussen 5a und 5b berücksichtigt werden sollte. Darum ist ein effizienteres Layout der Bank-A-Steuerschaltung 7a und der Bank-B-Steuerschaltung 7b möglich und ein Anstieg der Fläche aufgrund eines Anstiegs der Anzahl der Busleitungen der internen Lese/Schreib-Datenbusse kann ausreichend kompensiert werden.

Die internen Lese/Schreib-Datenbusse 5a und 5b sind elektrisch mit dem Prozessor 2 gekoppelt. In diesem Fall ist der Prozessor 2 derart angeordnet, daß er außerhalb des DRAM-Makros 3 und diesem gegenüberliegend ist und Daten an die internen Lese/Schreib-Datenbusse 5a und 5b, die in den Bereichen 11a und 11b angeordnet sind, liefert und Daten von diesen empfängt. Der Prozessor 2 unterliegt derart keiner Begrenzung seines Layouts aufgrund eines Kreuzens der internen Lese/Schreib-Datenbusse. Es wird nur das Vorsehen eines Daten-Eingabe/Ausgabe-Anschlusses bzw. Anschlußbausteins in der Nähe der Bereiche 11a und 11b des DRAM-Makros 3 nötig bzw. erforderlich. Dementsprechend ist ein effizientes Layout des Prozessors 2 ohne Berücksichtigung eines Kreuzens oder einer Anordnung von internen Lese/Schreib-Datenbussen möglich, und ein Prozessor hoher Dichte kann verwirklicht werden. Dementsprechend kann eine integrierte Halbleiterschaltungsvorrichtung 1, die hochgradig mit hoher Dichte integriert ist, verwirklicht werden.

Die internen Busse 6a bis 6d, die ein Steuersignal und ein Adreßsignal übertragen, sind derart angeordnet, daß sie sich

in der Spaltenrichtung erstrecken, während die internen Lese/Schreib-Datenbusse 5a und 5b derart angeordnet sind, daß sie sich in der Zeilenrichtung erstrecken. Darum gibt es Kreuzungen der internen Busse 6a bis 6d und der internen Lese/Schreib-Datenbusse 5a und 5b. In Fig. 1 ist eine Kreuzung des internen Busses 6b und des internen Lese/Schreib-Datenbusses 5a repräsentativ durch einen Block CX, der durch eine gestrichelte Linie angezeigt ist, gezeigt.

Fig. 2A zeigt schematisch eine Konfiguration einer Anordnung von Busleitungen an der Kreuzung CX, die in Fig. 1 gezeigt ist. Fig. 2A zeigt eine Querschnittsstruktur einer Busleitung, die in dem internen Bus 6b enthalten ist. Der interne Lese/Schreib-Datenbus 5a enthält Busleitungen 5aa, 5ab, ..., 5an, die z. B. aus einer Aluminiumverbindungsleitung (2A) einer zweiten Ebene bestehen. Die Busleitung des internen Busses 6b enthält eine Verbindungsleitung 6bc, die z. B. aus einer Aluminiumverbindungsleitung (1A) einer ersten Ebene, die in einer Schicht unter den internen Lese/Schreib-Datenbusleitungen 5aa bis 5an ausgebildet ist, ausgebildet ist, ebenso wie Verbindungsleitungen 6ba und 6be, die in derselben Schicht wie die internen Lese/Schreib-Datenbusleitungen 5aa bis 5an ausgebildet sind. Die Verbindungsleitungen 6ba und 6be sind elektrisch mit der Verbindungsleitung 6bc, die in der unteren Schicht befindlich ist, über Kontakte 6bb bzw. 6bd verbunden. Dementsprechend können, selbst falls sich der interne Lese/Schreib-Datenbus 5a und der interne Bus 6b an der Kreuzung CX kreuzen, der interne Lese/Schreib-Datenbus 5a und der interne Bus 6b unter Verwendung unterschiedlicher Verbindungsschichten angeordnet werden.

Fig. 2B zeigt eine Struktur der Kreuzung CX. In Fig. 2B, eine Verbindungsleitung 6bh, die z. B. aus einer Aluminiumverbindungsleitung (3A) einer dritten Ebene ausgebildet ist, ist über der Schicht der internen Lese/Schreib-Datenbusleitungen 5aa bis 5an vorgesehen, und Verbindungsleitungen 6bf und 6bj sind in derselben Schicht wie die internen Lese/Schreib-Datenbusleitungen 5aa bis 5an ausgebildet. Die Verbindungsleitungen 6bf und 6bj sind mit der Verbindungsleitung 6bh entsprechend über Kontakte 6bg und 6bi verbunden. Die Verbindungsleitungen 6bf, 6bg, 6bh, 6bi und 6bj bilden eine interne Busleitung.

Falls die Aluminiumverbindungsleitung der dritten Ebene verwendet wird, ist der Widerstandswert derselben niedriger als derjenige der Aluminiumverbindungsleitung der zweiten Ebene. Falls die Aluminiumverbindungsleitung verwendet wird, ist eine Aluminiumverbindungsleitung, die in einer oberen Schicht befindlich ist, weniger Wärmezyklen nach der Ausbildung der Verbindungsleitung der oberen Schicht zur Ausbildung einer anderen Verbindung unterworfen. Desweiteren ist die Anzahl der Isolierschichten und der Verbindungsschichten, die in einer darüber befindlichen Schicht ausgebildet werden, klein, und die von diesen Schichten ausgeübte (mechanische) Spannung ist klein. Darum kann die Reinheit der Aluminiumverbindungsleitung der oberen Schicht höher als diejenige der Aluminiumverbindungsleitung der unteren Schicht gemacht werden (der Widerstand gegen (mechanische) Spannung und Wärme wird um so niedriger je mehr die Reinheit des Aluminiums ansteigt). In diesem Fall können verglichen mit dem Fall, in dem die interne Busleitung nur unter Verwendung der Aluminiumverbindungsleitung der zweiten Ebene ausgebildet wird, Signale (Steuersignal und Adreßsignal) mit einer höheren Geschwindigkeit übertragen werden, da die Verbindungsleitung 6bh mit niedrigem Widerstand verwendet wird.

Die Struktur der Kreuzung CX wird auch auf eine Kreuzung des internen Lese/Schreib-Datenbusses 5a und des internen Busses 6a ebenso wie auf die Kreuzungen des internen Lese/Schreib-Datenbusses 5b und der internen Busse 6c

und 6d angewandt.

Bei der Struktur der Kreuzungen, die in den Fig. 2A und 2B gezeigt sind, werden Verbindungsleitungen aus unterschiedlichen Schichten für die internen Busse 6a bis 6d verwendet. Jedoch können die internen Busse 6a bis 6d auch aus derselben Verbindungsschicht ausgebildet werden, und die Busleitung der internen Lese/Schreib-Datenbusse 5a und 5b können an der Kreuzung mit einer anderen Verbindungsschicht verbunden werden.

Fig. 3 zeigt eine Anordnung der Steuerbusse, die ein Steuersignal und ein Adreßsignal an den Prozessor 2, die Bank-A-Steuerschaltung 7a und die Bank-B-Steuerschaltung 7b übertragen. In Fig. 3 sind die Unterbänke 4a bis 4d und die Lese/Schreib-Datenbusse 5a und 5b, die in den Bereichen 11a und 11b enthalten sind, zur Vereinfachung der Figur schematisch dargestellt. Unter Bezugnahme auf Fig. 3, ein Steuerbus 12a, der ein Steuersignal und ein Adreßsignal von dem Prozessor 2 überträgt, ist parallel mit dem internen Lese/Schreib-Datenbus 5a in dem Bereich 11a angeordnet und elektrisch mit der Bank-A-Steuerschaltung 7a und der Bank-B-Steuerschaltung 7b verbunden. Im Bereich 11b ist ein Steuerbus 12b, der ein Steuersignal und ein Adreßsignal von dem Prozessor 2 überträgt, parallel mit dem internen Lese/Schreib-Datenbus 5b angeordnet und elektrisch mit der Bank-A-Steuerschaltung 7a und der Bank-B-Steuerschaltung 7b gekoppelt.

Die Steuerbusse 12a und 12b übertragen ein Signal zum Bezeichnen einer Bank, ein Signal zum Bezeichnen eines Betriebsmodus und ähnliches.

Bei der Mehrfachbankkonfiguration, die aus den Bänken A und B, die die Unterbänke 4a bis 4d enthalten, gebildet ist, gibt es kein Kreuzen der Steuerbusse 12a und 12b und der Bank-A-Steuerschaltung 7a und der Bank-B-Steuerschaltung 7b. Die Steuerbusse 12a und 12b kreuzen den Prozessor 2 nicht. Da die Steuerbusse 12a und 12b in den Bereichen 11a und 11b befindlich sind, in denen die Lese/Schreib-Datenbusse 5a und 5b angeordnet sind, beeinflusst das Verbindungslayout der Steuerbusse 12a und 12b die Bank-A-Steuerschaltung 7a und die Bank-B-Steuerschaltung 7b ebenso wie den Prozessor 2 nicht nachteilig. Als ein Ergebnis kann eine integrierte Halbleiterschaltungsvorrichtung mit hoher Dichte verwirklicht werden, bei der die Chipfläche reduziert ist, da sie durch die Anordnung der internen Lese/Schreib-Datenbusse 5a und 5b verwirklicht wird.

Bei der Anordnung, die in Fig. 3 gezeigt ist, weisen die Bereiche 11a und 11b die Steuerbusse 12a und 12b, die darin angeordnet sind, entsprechend auf. Jedoch können die Steuerbusse nur in einem der Bereiche 11a und 11b angeordnet werden.

Entsprechend der ersten Ausführungsform ist ein Bereich, in dem ein Prozessor angeordnet ist, von einem Bereich, in dem ein DRAM-Feld und eine Steuerschaltung angeordnet sind, getrennt, und unterschiedliche Bänke sind Speicherfeldern, die auf derselben Seite relativ zu der DRAM-Steuerschaltung (Banksteuerschaltung) befindlich sind, zugeordnet. Darum muß eine interne Lese/Schreib-Datenbus-Verbindungsleitung, die gemeinsam für die Bänke angeordnet ist, nicht durch einen Prozessorabschnitt und einen DRAM-Steuerschaltungsabschnitt (Banksteuerschaltungsabschnitt) hindurch laufen. Es gibt keine Begrenzung des Layouts aufgrund eines Kreuzens von Verbindungsleitungen für den Prozessor und Steuerschaltungsabschnitten, was in einem effizienten Layout und einer Verhinderung eines Anstiegs der belegten Fläche der Schaltung resultiert. Der obige Vorteil wird auch bezüglich eines Steuerbusses erhalten, der ein Steuersignal und ein Adreßsignal an die Banksteuerschaltung überträgt.

Da die Banksteuerschaltung in dem zentralen Bereich 10

FIG. 1

